Naiyun har scope-billeder

1. **Øvelsesobjekt**

Øvelsesobjektet består af samme Blackbox, som blev anvendt i øvelse 1 og 3. Dog med den ændring, at der nu også kan sættes en tidsforsinkelse ind i åbensløjfen. Blackbox og tidsforsinkelse repræsenterer i det tilfælde tilsammen en ’proces’. På billedet nedenfor er vist Control box med effektforsyning fra en AC-adapter samt Storagescope og funktionsgenerator som i øvelse 3.

Den digitale regulator udgøres af dit PSoC5-modul på PSoC4 startkit, forsynet med et konvertermodul (findes i skabet), så ±10Vsignalniveauer kan behandles. ”Processens” tidsforsinkelse, Td, på 0,8 ms, er realiseret i PSoC’en.

PSoC4 startkit med interface board



1. **Formål**

Formålet med øvelsen er:

* At underbygge forståelsen af bogens gennemgang af digital regulering
* At få kendskab til, hvorledes en analog regulator kan realiseres digitalt (bilineær transformation).
* At få kendskab til, hvorledes tidsforsinkelser influerer på reguleringssystemer.
* At få kendskab til, hvorledes valg af samplingfrekvens påvirker reguleringssystemer.
* at indøve brugen af Matlab på tidsdiskrete (digitale) reguleringssystemer.
* At få forståelse af samspillet mellem teori, simulering og måling.

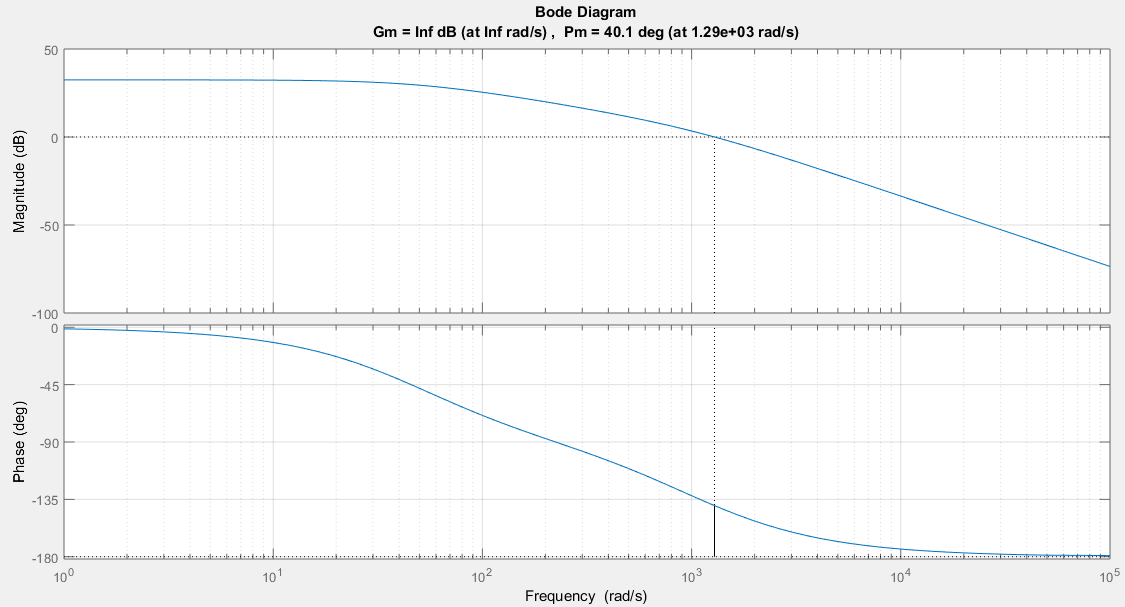
**3. Forberedelse.**

1. Med udgangspunkt i den analoge proportionalregulator fra øvelse 3 pkt. 1 c) (OS=30%, Kp=4,2 x10, ωφm=1300 s-1) undersøges det ved simulering, hvilken indflydelse det har på systemet, at PSoC’en med forstærkningen 1 gg indsættes i reguleringssløjfen efter summationspunktet. Undersøg virkningen ved både den højest og lavest anbefalede samplingsfrekvens iflg. Åstrøm og Wittenmark.

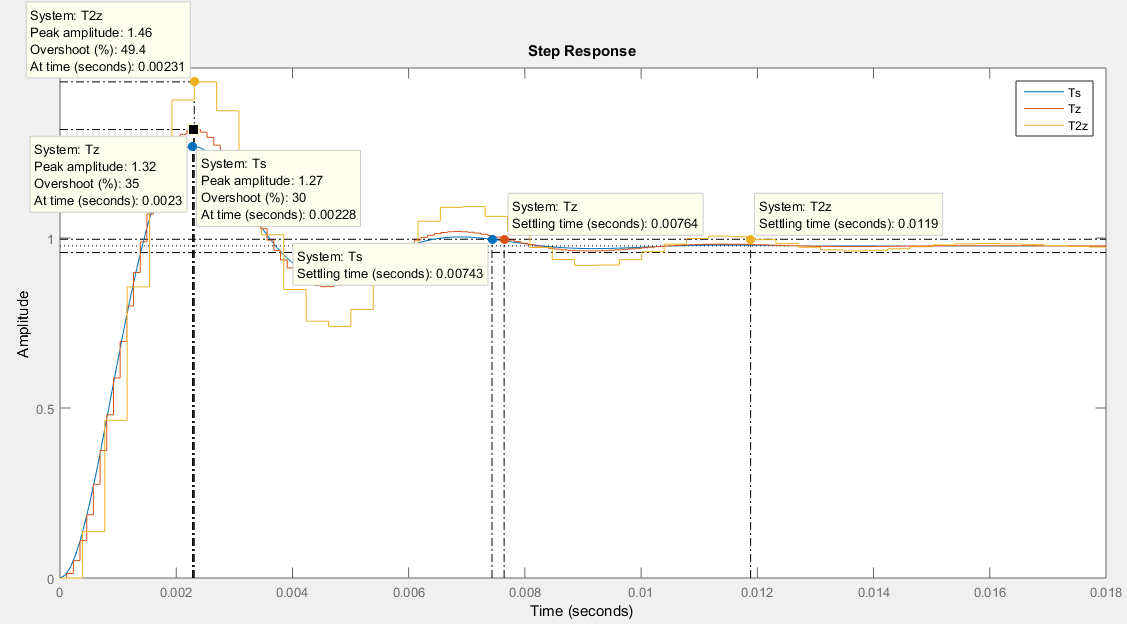
* Først beregnes værdierne for T ud fra Åstrøm og Wittenmarks anbefalinger:

Verificer virkningen ud fra Bodeplot og stepresponse. Matlab kode findes sidst i dokumentet.

* Bodeplottet viser følgende:



* På stepresponset ses virkningen af tidsforsinkelsen fra PSoC’en:



Systemet bliver simpelthen langsommere, og får derfor også et større oversving pga. tidsforsinkelsen.

1. Vi vil efterfølgende forestille os, at der sammen med Blackbox-processen er en tidsforsinkelse på Td = 0,8 ms i åbensløjfen.

Beregn fasebidraget fra denne tidsforsinkelse og sammenlign åbensløjfe overføringsfunktionens frekvenskarakteristikker med og uden tidsforsinkelsen. Hvordan forventes systemet nu at reagere?

* Hej Haj

1. Design en analoge lead- regulator Gc(s) således, at der kompenseres for tidsforsinkelsen, Td, idet der fortsat ønskes en fasemarginsfrekvens på ca.1300 rad/s og et oversving på 30%. Verificer resultatet ud fra Bodeplot og simuler stepresponset i Matlab.

* Hej Haj

1. Beregn den digitale lead-regulator Gc(z) ved en bilineær transformation (Matlab/ ’Tustin’) af den i spm.3 beregnede analoge regulator Gc(s).

* Hej Haj

Bringes på formen: 

Gc(z) beregnes for 2 forskellige sampleintervaller: den størst anbefalede iflg. Åstrøm og Wittenmark og en 10 gange mindre.

* Hej Haj

1. Bestem overføringsfunktionen med Matlab ( ’zoh’), idet tidsforsinkelsen medregnes i processen Gp(s). Tidsforsinkelsen tilnærmes i Matlab ved en 3.ordens Padé- approksimation.

Beregn overføringsfunktionerne for begge de 2 samplefrekvenser fra pkt.4 ovenfor.

* Hej Haj

1. Med ovenstående regulatorer simuleres lukketsløjfesystemets steprespons i Matlab for begge samplingfrekvenser. Kommenter resultaterne i forhold til anbefalingerne i kap13.10, Åstrøm og Wittenmark’s guidelines. Undersøg signalet på både proces indgang og udgang og overvej evt.

mætningsproblemer.

**4. Øvelsen.**

**Vigtigt! Teorien gælder kun så længe ingen af enhederne overstyres. Hold øje med overstyringsindikatorerne på reguleringsboksen.**

1. Kobbel systemet op som i øvelse 3 pkt. 1 c), dvs. med en proportionalforstærker Kp=4,2 x10,

OS=30% og ωφm=1300 s-1.

Kontroller systemets funktion.

1. Undersøg nu hvilken indflydelse samplefrekvensen (højeste og laveste) har på processen, ved at indsætte PSoC’en. umiddelbart foran Blackbox’en.
   1. denne situation skal forstærkningen gennem PSoC’en blot være 1.

Signalniveauet på referencen til lukketsløjfen forventes i området ±50mV, 30Hz. **Om programmeringen af PSoC’en, se appendix: IRT\_EX5\_1**

* Laveste samplefrekvens (2.6 kHz):
* Højeste samplefrekvens (26 kHz):

1. Undersøg nu hvilken indflydelse tidsforsinkelsen Td har på processen, ved at lade PSoC’en realisere den tænkte tidsforsinkelse i Blackbox’en.
   1. denne situation skal forstærkningen gennem PSoC’en blot være 1og med laveste samplefrekvens.

Systemet forventes nu at blive ustabilt (Mætningsdioden lyser). Juster på forstærkningen ned fra Kp=4,2 x10, så der ikke er mætning, og der ses et sædvanligt stepsvar. Forøg Kp indtil systemet netop er stabilt og iagttag samtidig hvilken frekvens systemet svinger med, umiddelbart før ustabilitet.

* Ved Kp = 2,1 x10 er frekvensen:

Hvorfor er det netop den frekvens systemet svinger med?

* Fordi dette svarer til polen fra overføringsfunktionen. Lige ved denne forstærkning, er systemet marginalt stabilt, grænsende til ustabilitet.

**Om programmeringen af PSoC, se da appendix: IRT\_EX5\_2.**

* Tidsforsinkelsen på de 0,8ms sænker samplefrekvensen en del (sammenlignet med minimumsgrænsen på 2.6kHz):
* Tidsforsinkelsen er mest kritisk for fasen. Den sænker nemlig fasemarginen væsentligt.

1. Afprøv den dimensionerede digitale lead-regulator fra forberedelsen. Dokumenter virkningen ved stepresponse ogsammenhold med Bodeplot. Det er dog kun relevant at benytte ‘den lave samplingfrekvens’, da resultatet i pkt.4 giver en forstærkning større end 100 for den høje samplefrekvens (kan ikke realiseres på vort udstyr).

**Om programmeringen af PSoC, se da appendix: IRT\_EX5\_2 fortsat.**

* Samplingsfrekvensen er indstillet til 2.6kHz og overshoot er målt til:

**Forslag til Matlab kode:**

%Spm 1)

G=tf(50000,[1 1050 50000]) K=42; figure(1) margin(K\*G) Ts=feedback(K\*G,1); figure(2) step(Ts) hold on

T= indsæt beregnet værdi

Gz=c2d(G,T,'zoh'); Tz=feedback(K\*Gz,1); step(Tz)

T= indsæt beregnet værdi

Gz=c2d(G,T,'zoh'); T2z=feedback(K\*Gz,1); step(T2z) hold off

% Spm.2 med tidsforsinkelsen

Td=0.0008; [num,den]=pade(Td,3); Gd=tf(num,den); figure(3) bode(K\*G) hold on bode(Gd) bode(Gd\*K\*G)

Hold off

% Unwrap phase i property editor

±360o så fasen ligger mellem 0 og -180o

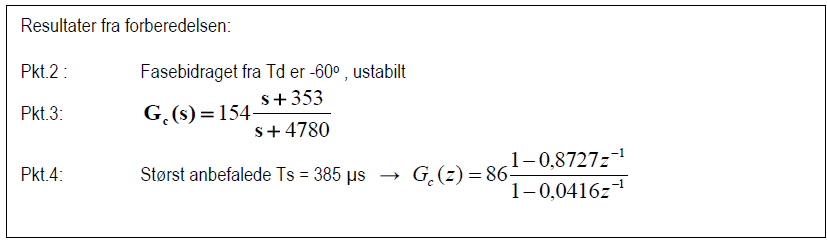
Tsd=feedback(Gd\*K\*G,1); figure(4) step(Tsd)

% Spm.3 Med analog regulator Gc=tf(154\*[1 353],[1 4780]); figure(5) bode(Gc) hold on bode(Gc\*Gd\*G) hold off figure(6) Tsdc=feedback(Gc\*Gd\*G,1); step(Tsdc)

% Spm.4+5+6 Digital regulator T=0.000385; Gcz=c2d(Gc,T,'tustin') zpk(Gcz) Gz=c2d(Gd\*G,T,'zoh'); Tz=feedback(Gcz\*Gz,1); figure(7) step(Tz)

%Signalet efter regulatoren: TzudPSoC=feedback(Gcz,Gz); figure(8) step(TzudPSoC) T=0.0000385; Gcz=c2d(Gc,T,'tustin') zpk(Gcz) Gz=c2d(Gd\*G,T,'zoh'); Tz=feedback(Gcz\*Gz,1); figure(9) step(Tz) TzudPSoC=feedback(Gcz,Gz); figure(10)

step(TzudPSoC)



# Appendix, Brug af PSoC modulet i øvelse 5

Selve PSoC’en er som det tidligere brugte udviklingskit. Har man et PSoC4 udviklingskit skal PSoC5 modulet tilgåes Skabelonen passer til disse. Dog skal der eftermonteres et konvertermodul, så ind- og udgangssignaler dækker området ±10V. Da modulet er lavet til PSoC3 og 5, skal et stik monteres på PSoC4 startkittet.

BNC stik til analogt ind / ud og USB stik til Labtop’en. Strømforsyningen sker gennem USB-stikket.

Fra Campus / Fildeling / Øvelser / Øvelse 5, hentes zip-filen Skabeloner\_Ovelse5. Det indeholder 2 PSoC-projekter: IRT\_EX5\_1 og IRT\_EX5\_2.

**OBS: PSoC StarterKit skal sættes i 5-Volts mode for at benytte interfaceboarded! Dette gøres ved at sætte jumperne på PSoC StartKit som vist på figuren herunder. HUSK at PSoC skal være slukket når der flyttes på jumpere! Derudover slukkes der for PSoC4 modulet ved at fjerne jumperen, også vist herunder. Stikket fra interfaceboardet monteres ligeledes, som vist på billedet.**

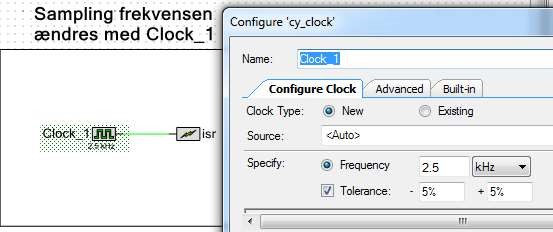
**Kontrollér desuden at blokken Bootloadable peger korrekt på kit\_prog filerne, samt det er den korrekte bootlader host fil der bliver programmeret, som i kender det fra E3MSE.**



## IRT\_EX5\_1

Benyttes i spm. b), hvor signalet blot samples og holdes. (1 gg forstærkning)

Samplefrekvensen vælges i blokken **Clock\_1**, som værdien af clockens **frekvens**



## IRT\_EX5\_2

Benyttes i spm. c) til realisering af tidsforsinkelsen Td på ca. 0,8 ms.

Tidsforsinkelsen er sat, og samplefrekvensen vælges som den laveste iflg. Åstrøm og Wittenmark (indstilles igen med **Clock\_1**).

## IRT\_EX5\_2 fortsat

Benyttes i spm. d) til realisering af den dimensionerede regulator.

Filteret er på PSoC’en realiseret som en standard 2.ordens IIR-filter på kanonisk form:

*GC*(*z*)  *A*10 *BAz*1*z*11 *BA*22*zz*22 A0 = 1; A2 = 0; B2 = 0 og et evt. K realiseres analogt.

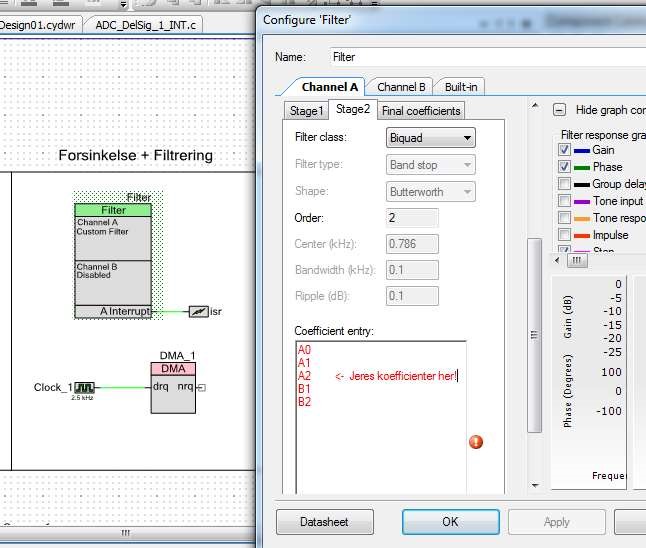
 1 

Samplefrekvensen justeres som i skabelon 1.

**Sæt også udgangen fra PSoC’en til scopet for at sikre, at udgangen ikke mætter ±10V.**

Denne skabelon har ligesom skabelon 2 indbygget tidsforsinkelsen på 0,8 ms.

Indsæt nu jeres koefficienter i det digitalefilter i skabelon E4IRT\_EX5\_2.



Stage1

S

tage2